

# SEMICONDUCTOR DEVICE AND MANUFACTURE THEREFOR

Patent number: JP11112002  
Publication date: 1999-04-23  
Inventor: NAKAJIMA SETSUO; FUKUNAGA KENJI  
Applicant: SEMICONDUCTOR ENERGY LAB  
Classification:  
- international: H01L21/338; H01L21/84; H01L21/86; H01L27/12; H01L29/786;  
H01L21/02; H01L21/70; H01L27/12; H01L29/86; (IPC1-7): H01L29/786;  
H01L21/338  
- european: H01L21/77T; H01L21/86; H01L27/12; H01L29/786B4B; H01L29/786E4B4;  
H01L29/786E4C4  
Application number: JP19970290316 19971007  
Priority number(s): JP19970290316 19971007

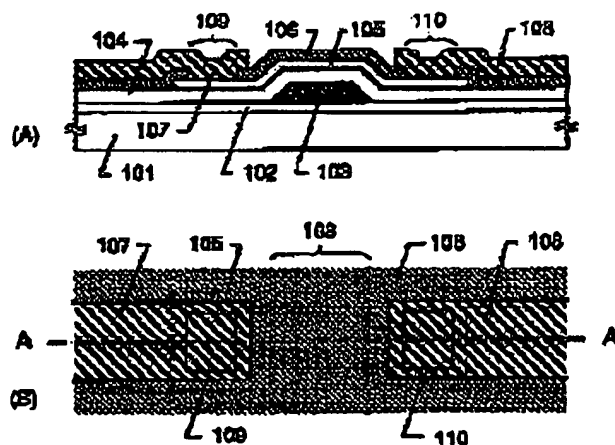
Also published as:

 US6888160 (B1)

Report a data error here

## Abstract of JP11112002

**PROBLEM TO BE SOLVED:** To provide a technique for manufacturing a bottom gate type TFT (thin film transistor) by a process with high mass productivity. **SOLUTION:** An insulation film 106 whose main component is silicon is formed on an active layer 105. Further, patterning is executed to the insulation film 106 and opening parts 109 and 110 are formed at a part to be a source/drain area later. Then, resist is provided right on the part to be a channel formation area later and the impurity adding process is performed. At the time, the insulation film 106 is utilized as a doping mask.



Data supplied from the esp@cenet database - Worldwide

Best Available Copy

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-112002

(43) 公開日 平成11年(1999) 4月23日

(51) Int.Cl.<sup>6</sup>H 0 1 L 29/786  
21/336

識別記号

F I

H 0 1 L 29/78

6 1 7 T

6 1 6 A

6 2 7 C

審査請求 未請求 請求項の数10 F D (全 11 頁)

(21) 出願番号

特願平9-290316

(22) 出願日

平成9年(1997)10月7日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 中嶋 節男

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 福永 健司

神奈川県厚木市長谷398番地 株式会社半

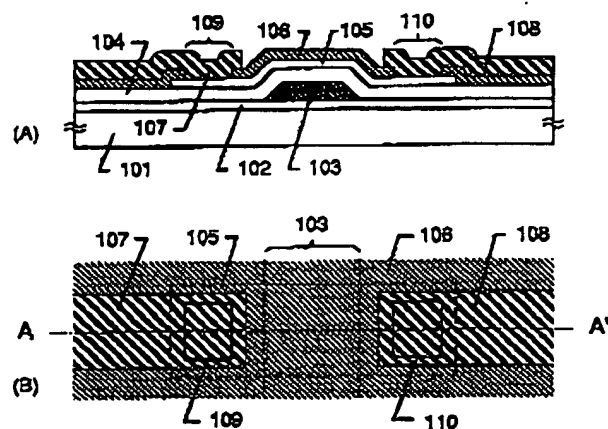
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 量産性の高い工程でボトムゲイト型TFTを製造するための技術を提供する。

【解決手段】 活性層105の上にシリコンを主成分とする絶縁膜106を形成する。さらに、絶縁膜106に対してパターニングを施し、後にソース/ドレイン領域となる部分に開口部109、110を形成する。そして、後のチャネル形成領域となる部分の真上にレジストを設け、不純物の添加工程を行う。この時、絶縁膜106はドーピングマスクとして活用される。



(2)

特開平11-112002

2

1

## 【特許請求の範囲】

【請求項1】絶縁表面を有する基板上に複数のTFTで構成された半導体回路を含む半導体装置であって、前記複数のTFTは半導体薄膜からなる活性層と当該活性層の少なくともチャネル形成領域及び端部を覆う絶縁性シリコン膜とを有し、前記絶縁性シリコン膜中の一部又は全部にはN型及び／又はP型を付与する不純物が含まれていることを特徴とする半導体装置。

【請求項2】絶縁表面を有する基板上に複数のTFTで構成された半導体回路を含む半導体装置であって、前記複数のTFTは半導体薄膜からなる活性層と当該活性層の少なくともチャネル形成領域及びLDD領域を覆う絶縁性シリコン膜とを有し、前記絶縁性シリコン膜中の一部にはN型及び／又はP型を付与する不純物が含まれていることを特徴とする半導体装置。

【請求項3】請求項1または請求項2において、前記絶縁性シリコン膜中の一部とは前記チャネル形成領域の真上以外の領域であることを特徴とする半導体装置。

【請求項4】絶縁表面を有する基板上に複数のTFTで構成された半導体回路を含む半導体装置であって、前記複数のTFTは半導体薄膜からなる活性層と当該活性層の少なくともチャネル形成領域及び端部を覆う絶縁性シリコン膜とを有し、前記活性層のソース領域及びドレイン領域はN型及び／又はP型を付与する不純物を含む領域からなり、前記活性層のソース領域及びドレイン領域は、当該ソース領域及びドレイン領域と同一導電型で当該ソース領域及びドレイン領域よりも低い濃度の不純物領域に囲まれていることを特徴とする半導体装置。

【請求項5】請求項1乃至請求項4において、絶縁性シリコン膜とは窒化シリコン膜であることを特徴とする半導体装置。

【請求項6】絶縁表面を有する基板上に形成された複数のTFTで構成された半導体回路を含む半導体装置の製造方法であって、半導体薄膜からなる活性層を形成する工程と、前記活性層上に絶縁性シリコン膜を形成する工程と、前記絶縁性シリコン膜をパターニングし、後にソース及びドレインとなる領域の上に位置する部分を選択的に除去する工程と、前記絶縁性シリコン膜上に選択的にレジストマスクを形成する工程と、N型及び／又はP型を付与する不純物を添加する工程と、を有し、

前記絶縁性シリコン膜はLDD領域を形成するためのドーピングマスクとして利用され、当該LDD領域は前記絶縁性シリコン膜の下に形成されることを特徴とする半

導体装置の製造方法。

【請求項7】請求項6において、前記不純物の添加工程において、露呈した前記絶縁性シリコン膜の下にはN型及び／又はP型を付与する不純物が、前記LDD領域と同濃度に添加されることを特徴とする半導体装置の製造方法。

【請求項8】絶縁表面を有する基板上に形成された複数のTFTで構成された半導体回路を含む半導体装置の製造方法であって、

10 半導体薄膜からなる活性層を形成する工程と、前記活性層上に絶縁性シリコン膜を形成する工程と、前記絶縁性シリコン膜をパターニングし、後にソース及びドレインとなる領域の上に位置する部分を選択的に除去する工程と、N型及び／又はP型を付与する不純物を添加する工程と、を有し、

前記不純物の添加工程では、前記絶縁性シリコン膜をドーピングマスクとしてチャネル形成領域、ソース領域及びドレイン領域が自己整合的に形成されることを特徴とする半導体装置の製造方法。

【請求項9】請求項6または請求項8において、絶縁性シリコン膜とは窒化シリコン膜であることを特徴とする半導体装置の製造方法。

【請求項10】請求項6または請求項8において、前記絶縁性シリコン膜のパターニング工程において、前記活性層の端部には当該端部を覆う様にして絶縁性シリコン膜が残されることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明が属する技術分野】本願発明は、半導体薄膜を利用して作製したボトムゲイト型の薄膜トランジスタ（以下、TFTと略記する）に関する。

【0002】

【従来の技術】現在、ノートパソコンや携帯型情報端末の表示ディスプレイとして液晶表示装置（以下、LCDと略記する）が利用されている。以前はパッシブ型LCDが主に用いられていたが、より高精細な映像への要求が高まり、アクティブマトリクス型LCDが主流になってきている。

【0003】アクティブマトリクス型LCDは表示部にマトリクス状に配置された複数のTFTを有し、そのTFTをスイッチング素子として画素毎に電圧制御を行うことで所望の映像を実現する。その様なTFTとしては、活性層としてアモルファスシリコンを用いた逆スタガ型TFTが多用されている。

【0004】アモルファスシリコンを用いた逆スタガ型TFTは、製造工程が非常に簡易であり、スループットの高さ、歩留りの良さなどが利点となる。しかしながら、アモルファスシリコンはキャリア移動度が小さいた

## 3

め、個々のTFTサイズを大きくして要求される電気特性を得ていた。

【0005】ところが、現状では高精細な映像表示を実現するためにはTFTサイズを小さくしなければならず、アモルファスシリコンでは対応しうる電気特性を得るのが非常に困難な状況に陥っている。

【0006】そこで、近年では活性層としてポリシリコンを用いた逆スタガ型TFTが注目され、激しい開発競争が繰り広げられている。最近では、ポリシリコンを用いた逆スタガ型TFTで構成されたアクティブマトリクス型LCDが市場に見られるようになってきたが、未だ開発途上にあると言える。

【0007】

【発明が解決しようとする課題】本願発明は、量産性の高い工程でボトムゲイト型TFTを製造するための技術を提供することを課題とする。

【0008】

【課題を解決するための手段】本明細書で開示する発明の構成は、絶縁表面を有する基板上に複数のTFTで構成された半導体回路を含む半導体装置であって、前記複数のTFTは半導体薄膜からなる活性層と当該活性層の少なくともチャネル形成領域及び端部を覆う絶縁性シリコン膜とを有し、前記絶縁性シリコン膜中の一部又は全部にはN型及び／又はP型を付与する不純物が含まれていることを特徴とする。

【0009】また、他の発明の構成は、絶縁表面を有する基板上に複数のTFTで構成された半導体回路を含む半導体装置であって、前記複数のTFTは半導体薄膜からなる活性層と当該活性層の少なくともチャネル形成領域及びLDD領域を覆う絶縁性シリコン膜とを有し、前記絶縁性シリコン膜中の一部にはN型及び／又はP型を付与する不純物が含まれていることを特徴とする。

【0010】なお、上記構成において絶縁性シリコン膜中の少なくとも一部とはチャネル形成領域の真上以外の領域である。即ち、チャネル形成領域の上にはレジストマスクが設けられるので、その領域には不純物は含まれない。

【0011】また、他の発明の構成は、絶縁表面を有する基板上に複数のTFTで構成された半導体回路を含む半導体装置であって、前記複数のTFTは半導体薄膜からなる活性層と当該活性層の少なくともチャネル形成領域及び端部を覆う絶縁性シリコン膜とを有し、前記活性層のソース領域及びドレイン領域はN型及び／又はP型を付与する不純物を含む領域からなり、前記活性層のソース領域及びドレイン領域は、当該ソース領域及びドレイン領域と同一導電型で当該ソース領域及びドレイン領域よりも低い濃度の不純物領域に囲まれていることを特徴とする。

【0012】また、他の発明の構成は、絶縁表面を有する基板上に形成された複数のTFTで構成された半導体

(3)

特開平11-112002

## 4

回路を含む半導体装置の製造方法であって、半導体薄膜からなる活性層を形成する工程と、前記活性層上に絶縁性シリコン膜を形成する工程と、前記絶縁性シリコン膜をパターニングし、後にソース及びドレインとなる領域の上に位置する部分を選択的に除去する工程と、前記絶縁性シリコン膜上に選択的にレジストマスクを形成する工程と、N型及び／又はP型を付与する不純物を添加する工程と、を有し、前記絶縁性シリコン膜はLDD領域を形成するためのドーピングマスクとして利用され、当該LDD領域は前記絶縁性シリコン膜の下に形成されることを特徴とする。

【0013】上記構成における不純物の添加工程において、露呈した絶縁性シリコン膜の下にはN型及び／又はP型を付与する不純物が、LDD領域と同濃度に添加されることになる。なぜならば絶縁性シリコン膜を介してLDD領域への不純物添加が行われるからである。

【0014】また、他の発明の構成は、絶縁表面を有する基板上に形成された複数のTFTで構成された半導体回路を含む半導体装置の製造方法であって、半導体薄膜からなる活性層を形成する工程と、前記活性層上に絶縁性シリコン膜を形成する工程と、前記絶縁性シリコン膜をパターニングし、後にソース及びドレインとなる領域の上に位置する部分を選択的に除去する工程と、N型及び／又はP型を付与する不純物を添加する工程と、を有し、前記不純物の添加工程では、前記絶縁性シリコン膜をドーピングマスクとしてチャネル形成領域、ソース領域及びドレイン領域が自己整合的に形成されることを特徴とする。

【0015】また、上記構成中の絶縁性シリコン膜のパターニング工程では、活性層の端部には当該端部を覆う様にして絶縁性シリコン膜が残される場合もある。後述するが、この様に活性層端部に絶縁性シリコン膜を残すという構成はTFT製造工程の簡略化に大きく寄与する。

【0016】

【発明の実施の形態】本願発明の構成について図1を用いて説明する。図1(A)において、101はガラス基板、石英基板、セラミックス基板またはガラスセラミックス基板のいずれかであり、その上には酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜( $\text{SiO}_x\text{N}_y$ で表される)又はそれらの積層膜からなる下地膜102が設けられる。

【0017】なお、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜の様に、シリコン(珪素)と他の元素(酸素、窒素等)とが結合して構成される絶縁膜及びそれらの絶縁膜で構成される積層膜を本明細書中では絶縁性シリコン膜と呼ぶ。

【0018】次に、下地膜102の上にはゲイト電極103が設けられる。ゲイト電極103としては、アルミニウム、タンタル、モリブデン、タングステンまたはク

5

ロムを主成分とする薄膜、或いはそれらの積層膜を用いることができる。また、ゲイト電極103の表面に陽極酸化膜を設けた構成としても良い。

【0019】その上には絶縁性シリコン膜からなるゲイト絶縁膜104が形成され、さらにその上には活性層105が設けられる。活性層105は結晶性半導体薄膜（代表的にはポリシリコン膜）または非晶質半導体薄膜（代表的にはアモルファスシリコン膜）で構成される。

【0020】次に、活性層105の少なくともチャネル形成領域を覆う形で絶縁性シリコン膜106が設けられる。活性層105のパッシベーション効果を考えると、絶縁性シリコン膜106としては耐湿性等に強い窒化シリコン膜が好適である。なお、図1(A)において、活性層105の端部が絶縁性シリコン膜で覆われている点も本願発明の特徴の一つである。この利点については実施例1で詳細に説明することとする。

【0021】その後、N型又はP型を付与する不純物を添加することによりソース/ドレイン領域を形成した後、絶縁性シリコン膜106上にソース電極107、ドレイン電極108が設けられる。

【0022】ソース/ドレイン電極107、108としては、アルミニウムを主成分とする薄膜やそれとアルミニウムを主成分とする薄膜とチタン膜との積層膜などを用いることが可能である。このソース/ドレイン電極107、108は開口部（コンタクトホール）109、110を介してソース領域又はドレイン領域と電気的に接続している。

【0023】ここで図1(B)は図1(A)の上面図である。なお、図1(B)のA-A'で切断した断面が図1(A)に相当する。また、図1(A)の説明に用いた

符号は図1(B)でも参照する。

【0024】本願発明の特徴は絶縁性シリコン膜106の効果である。本願発明において、絶縁性シリコン膜106は以下に挙げる様な効果を有している。

(1) 不純物の添加工程においてドーピングマスクとして機能する。

(2) 活性層端部におけるソース/ドレイン電極の段切れを防止する。

(3) TFT（特にチャネル形成領域）を保護する。

【0025】以上の構成及び効果について、以下に記載する実施例をもって詳細な説明を行うこととする。

【0026】

【実施例】

【実施例1】本実施例では、同一基板上に複数のボトムゲイト型TFTを形成して、アクティブマトリクス型LCDの駆動回路部と画素マトリクス回路部とを形成する工程例について図3を用いて説明する。なお、駆動回路部としてNTFTとPTFTとを相補的に組み合わせたCMOS回路を示し、画素マトリクス回路部としてはNTFTからなる画素TFTを示す。

(4)

特開平11-112002

6

【0027】まず、ガラス基板301を用意し、その上に200nm厚の酸化珪素膜でなる下地膜302を形成する。その上にタンタルと窒化タンタルとの積層膜(Ta/TaN)でなるゲイト電極303~305を形成する。なお、ゲイト電極303~305は陽極酸化工程によって、表面に陽極酸化膜を形成しても良い。

【0028】次に、ゲイト電極303~305を覆うゲイト絶縁膜306を形成する。本実施例ではゲイト絶縁膜306として、50nm厚の窒化シリコン膜、250nm厚の酸化窒化シリコン膜からなる積層膜を用いている。これらはプラズマCVD法や減圧熱CVD法で成膜すれば良い。

【0029】次に、結晶構造を有する半導体薄膜（結晶性半導体薄膜）307を形成する。本実施例では結晶性半導体薄膜として結晶性シリコン膜を用いる。なお、半導体薄膜としては $\text{Si}_x\text{Ge}_{1-x}$  ( $0 < x < 1$ ) で表されるシリコンとゲルマニウムとの化合物を用いることもできる。

【0030】結晶性シリコン膜307は公知の手段、例えば非晶質シリコン膜を結晶化させて形成すれば良い。非晶質シリコン膜の結晶化手段は、ファーネスアニール（電熱炉での熱処理）、レーザーアニール（レーザー光による熱処理）、ランプアニール（強光による熱処理）等によれば良い。

【0031】本実施例では、パルス発振型のKrFエキシマレーザーを線状に加工し、その線状光を基板の一端から他端に向かって走査することで全体のレーザーアニールを行っている。その際、発振周波数は30MHz、スキャン速度は2.4mm/s、レーザーエネルギーは320mJ/cm<sup>2</sup>、処理温度は室温とする。

【0032】また、ファーネスアニールを用いる場合には本発明者らによる特開平7-130652号公報記載の技術を利用することが好ましい。同公報記載の技術を用いれば、550℃4時間程度のファーネスアニールで結晶化が終了する。なお、この結晶化の後にレーザー光を照射すると、非晶質成分の結晶化や粒内欠陥の低減等が行われ、結晶性が大幅に改善される。

【0033】こうして図3(A)の状態が得られる。次に、得られた結晶性シリコン膜307をパターニングして、CMOS回路の活性層（本実施例ではNTFTとPTFTとでドレイン領域を共通化する）308、画素TFTの活性層309を形成する。その後、本願発明の最も重要な構成である絶縁性シリコン膜310を形成する。本実施例では窒化シリコン膜を用いる。

【0034】この窒化シリコン膜310は、後に形成するソース/ドレイン電極と活性層308、309との電気的接続を行うための開口部311~315が設けられる。なお、本実施例では窒化シリコン膜310は活性層308、309の端部を覆い隠す様にして形成する。この事について図4を用いて説明する。

(5)

特開平11-112002

8

7

【0035】図4において、400はゲイト絶縁膜、401は活性層、402は絶縁性シリコン膜（窒化シリコン膜）、403はソース電極、404はドレイン電極である。図4では活性層401の端部を窒化シリコン膜402で緩まない様にして形成した場合における問題点を示している。

【0036】図4に示す構成とする場合、まず窒化シリコン膜402を成膜した後にパターニングを行う。この時、エッチング終了時にゲイト絶縁膜400がオーバーエッチングされて活性層401の端部にえぐれ405が発生する。そのため、えぐれ405に起因する断線不良が発生してしまう。

【0037】それを防ぐには層間絶縁膜を形成して、その上にソース／ドレイン電極を形成するしかないが、その場合には層間絶縁膜の成膜工程とコンタクトホールのパターニング工程とが増える。

【0038】そこで、本実施例では図3（B）に示す様に窒化シリコン膜310を活性層308、309の端部を覆う様にして形成することで活性層308、309の端部にえぐれが発生するのを防いでいるのである。なお、活性層の端部とは活性層の外縁を指しており、図1（B）に示す様に全ての端部を窒化シリコン膜310で覆い隠している。

【0039】本実施例では、この様な工夫を施すことで層間絶縁膜をわざわざ成膜することなしにソース／ドレイン電極を形成し、工程の簡略化を実現している。この事については後述する。

【0040】こうして図3（B）の状態が得られたら、レジストマスク316～318を形成した後、N型導電性を付与する不純物（本実施例ではリン）をイオン注入法（質量分離あり）またはイオンドーピング法（質量分離なし）により添加する。本実施例では2回の添加工程に分けて行う。

【0041】まず、加速電圧を80keVと高くして $1 \times 10^{13}$ ions/cm<sup>2</sup>のドーズ量でリンを添加する。この際、加速電圧が高いため、窒化シリコン膜310はマスクとしての機能は果たさない。次に、加速電圧を10keVと低くして $5 \times 10^{14}$ ions/cm<sup>2</sup>のドーズ量でリンを添加する。この際、窒化シリコン膜310はドーピングマスクとして機能し、その下にはリンが添加されない。

【0042】このリン添加工程によりCMOS回路のNTFTとなるソース領域319、ドレイン領域320、低濃度不純物領域（LDD領域）321、チャネル形成領域322が形成される。また、同時に画素TFT（NTFT）となるソース領域323、ドレイン領域324、LDD領域325、チャネル形成領域326が形成される。（図3（C））

【0043】この時、窒化シリコン膜310を介してリンが添加された領域はソース／ドレイン領域（不純物濃度は $1 \times 10^{21}$ atoms/cm<sup>3</sup>程度）よりも低濃度にリンが含

まれ、LDD（Light Doped Drain）領域（不純物濃度は $1 \times 10^{17} \sim 1 \times 10^{18}$ atoms/cm<sup>3</sup>程度）となる。なお、2回目のイオン添加工程を行わなければLDD領域の代わりにオフセット領域を形成することもできる。

【0044】また、レジストマスク317、318が設けられた領域の直下は不純物が全く添加されず、真性または実質的に真性なチャネル形成領域となる。なお、実質的に真性であるとは、N型またはP型を付与する不純物濃度が $1 \times 10^{17}$ atoms/cm<sup>3</sup>以下であることを指す。

【0045】ところで、リン添加工程が終了した時点において、図3（C）に示す画素TFTに注目してみると、図2に示す様な構成となっている。なお、図2において、図3（C）と同じ部分は同じ符号を付してある。

【0046】ここで図2において21、22で示される領域は活性層端部を覆う窒化シリコン膜の下に位置する領域であり、活性層の外縁部に相当する。この領域21、22は窒化シリコン膜を介してリンが添加されているのでLDD領域325と同じ濃度でリンが添加されている。この様に、ソース／ドレイン領域がそれよりも低濃度の不純物領域で囲まれている点も本願発明の構造的な特徴である。

【0047】こうしてリンの添加工程が終了したら、レジストマスク316～318を除去し、再びレジストマスク327、328を形成する。そして、P型を付与する不純物（本実施例ではボロン）を添加する。この場合もリンの場合と同様に2回に分け、1回目は加速電圧65keV、ドーズ量は $6 \times 10^{13}$ ions/cm<sup>2</sup>とし、2回目は加速電圧5keV、ドーズ量は $5 \times 10^{14}$ ions/cm<sup>2</sup>とする。

【0048】この工程によりCMOS回路のPTFTとなるソース領域329、ドレイン領域330、LDD領域331、チャネル形成領域332を形成する。本実施例ではソース／ドレイン領域の不純物濃度は $5 \times 10^{20}$ atoms/cm<sup>3</sup>程度となり、LDD領域の不純物濃度は $5 \times 10^{16} \sim 5 \times 10^{17}$ atoms/cm<sup>3</sup>程度となる。また、この場合も図2で説明した様にソース領域329はLDD領域331と同じ濃度の不純物領域で囲まれている。

【0049】また、本実施例ではNTFTとPTFTとに対して別々に不純物イオンの添加工程を行っているが、最初に全てのTFTに対してリンを添加し、その後PTFTのみにリン濃度を超える濃度（少なくとも3倍以上）のボロンを添加し、P型に反転させる手段を用いても良い。また、リンを添加する際、チャネル形成領域の真上に位置するレジストマスクを裏面露光法を用いて形成しても良い。

【0050】なお、以上の様に窒化シリコン膜310をドーピングマスクとして利用しているため、窒化シリコン膜310のうち、ドーピングマスクとして利用された部分にはN型及び／又はP型の不純物が残存する。しかしながら、絶縁性シリコン膜中においてはN型／P型を付与する不純物（代表的にはリン／ボロン）の拡散係数

9

が小さいため問題とはならない。

【0051】こうして図3(D)の状態が得られたら、レジストマスク327、328を除去してCMOS回路のソース電極333、334、共通ドレイン電極335、画素TFETのソース電極336、ドレイン電極337を形成する。本実施例ではこれらの電極を、チタン(Ti)でアルミニウム(Al)を主成分とする薄膜を挟んだ構造(Ti 150nm/Al 500nm/Ti 100nm)とする。

【0052】なお、図3(E)に示す様な構造でソース/ドレイン電極を設けることが可能なのは、前述の様に活性層端部におけるえぐれの発生を防いだからである。従って、活性層端部を窒化シリコン膜310で覆わない構成とする場合には、ここで層間絶縁膜の成膜工程とコンタクトホール形成工程が増える。

【0053】次に、層間絶縁膜328を0.5~2μmの厚さに形成する。層間絶縁膜328としては、絶縁性シリコン膜、有機性樹脂膜またはそれらの積層膜を用いることができる。特に、ポリイミドやアクリルといった有機性樹脂膜は優れた平坦性を得られるので好ましい。その際、窒化シリコン膜310はチャネル形成領域と有機性樹脂膜とが直接接するのを防ぐ保護膜としての機能をも果たす。

【0054】層間絶縁膜328を形成したら、開口部を開けて画素電極339を形成する。本実施例では画素電極339として透明導電膜(代表的にはITO、酸化スズ等)を用いる。なお、透過型LCDの場合にはこの様な透明導電膜を用いなければならないが、反射型LCDを作製するのであれば画素電極は反射率の高い金属膜で構成すれば良い。アルミニウムを主成分とする薄膜が好適である。

【0055】最後に、350℃2時間程の加熱処理を水素雰囲気で行い、TFET全体の水素化工程を行って図3(E)に示す様なアクティブマトリクス基板が完成する。本願発明を利用して得られたアクティブマトリクス基板は、個々のTFETの活性層が窒化シリコン膜310に覆われているので、外部からの水分の侵入や汚染イオンの侵入などに対して強い耐性を有する。

【0056】なお、本実施例で説明したTFET構造はこれに限定されるものではない。本願発明の最も重要な構成は絶縁性シリコン膜でもって活性層の少なくともチャネル形成領域を覆い、それをドーピングマスクとして活用するという点であり、その様な構成を備えていれば本願発明の効果を達成することができる。

【0057】【実施例2】実施例1では、リンまたはボロンの添加工程を2回に分けて行っているが、1回の添加工程で済ますことも可能である。その場合、加速電圧を50~70keVに設定し、ドーズ量を $5 \times 10^{14}$ ions/cm<sup>2</sup>程度とする。

【0058】本実施例の場合には、ソース/ドレイン領域となる領域は露出しているので $1 \times 10^{20}$ atoms/cm<sup>3</sup>程

(6)

特開平11-112002

10

度の不純物が添加される。しかしながら、絶縁性シリコン膜で覆われた活性層領域は、絶縁性シリコン膜を介したスルードーピングとなるので添加濃度が低減する。従って、添加される不純物濃度は $1 \times 10^{17} \sim 1 \times 10^{18}$ atoms/cm<sup>3</sup>程度となり、LDD領域を形成する。

【0059】この様に、活性層を覆って設けられた絶縁性シリコン膜はドーピングフィルタとしても機能するので、最適な条件を決定すれば1回のイオン添加工程でソース/ドレイン領域及びLDD領域を形成することができる。

【0060】【実施例3】実施例1ではCMOS回路のPTFTにおいてもLDD構造を採用しているが、PTFTはキャリア移動度が低いので劣化はあまり問題とならない。却ってLDD構造とするとオン電流(TFTがオン状態にある時に流れる電流)の低下を招く場合もありうる。

【0061】その様な場合、PTFTのみLDD領域を形成しない様な構成にすれば良い。その場合、図3

(B)の窒化シリコン膜のパターニングの際に、後のPTFTのチャネル形成領域の上には、チャネル形成領域の長さ(ソース/ドレイン間を結ぶ方向の長さ)と概略一致する様に窒化シリコン膜を残す。

【0062】そして、図3(D)の工程においてPTFTのチャネル形成領域の上の窒化シリコン膜のみをドーピングマスクとしてボロンの添加工程を行う。ただし、ボロンが窒化シリコン膜を通過しない程度に加速電圧を低くする。こうすることで、自己整合的にチャネル形成領域とソース/ドレイン領域とが形成され、PTFTのみをLDD構造としない構成が得られる。

【0063】【実施例4】本実施例では、実施例1とは異なる製造工程によってアクティブマトリクス基板を製造する場合に例について図5を用いて説明する。具体的には、活性層の上に設けられた絶縁性シリコン膜をそのままマスクとして、ソース/ドレイン領域を形成する場合の例を示す。

【0064】まず、実施例1の製造工程に従って図5

(A)に示す状態を得る。図5(A)において、501~506は絶縁性シリコン膜(本実施例では酸化シリコン膜)であり、後にチャネル形成領域となる部分の上及び端部を覆う様にパターニング形成されている。

【0065】図5(A)の状態が得られたら、そのままリンの添加工程をイオン注入法により行う。この時、加速電圧は5~10keVと低めに設定しておき、酸化シリコン膜501~506が完全にマスクとして機能しう様に調節する。また、ここでは活性層中に $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm<sup>3</sup>の濃度でリンが添加される。

【0066】その結果、高濃度にリンを含む領域507~511と、リンを含まない領域512~514が形成される。なお、符号を付しての説明は省略するが、活性層端部においても酸化シリコン膜501、504、50

11

6がマスクとなるのでリンを含まない領域が形成される。

【0067】こうして図5(B)の状態が得られたら、NTFTとなる領域のみを隠す様にしてレジストマスク515を形成し、次いでボロンの添加工程を行う。この工程も加速電圧を5~10keVと低めに設定し、活性層中に $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ の濃度でボロンが添加される様にする。

【0068】この工程により507、508で示される領域では導電型がN型からP型へと反転し、高濃度にボロンを含む領域516、517が形成される。この場合も、518で示される領域にはボロンは添加されない。

【0069】以上のリン及びボロンの添加工程により各TFTのソース/ドレイン領域及びチャネル形成領域が固定する。即ち、高濃度にリンを含む領域はNTFTのソースまたはドレイン領域となり、高濃度にボロンを含む領域はPTFTのソースまたはドレイン領域となる。また、リンもボロンも添加されなかった領域はチャネル形成領域として機能する。

【0070】この様に、絶縁性シリコン膜をドーピングマスクとして活用することで非常に簡易な手段でソース/ドレイン領域を形成することができる。この場合、絶縁性シリコン膜(本実施例では酸化シリコン膜)はリンまたはボロンを含んだ状態で残存するが、信頼性上の問題は無い。

【0071】後は、ソース/ドレイン電極を形成して、その上に層間絶縁膜を設け、画素TFTに対して画素電極を接続することでアクティブマトリクス基板が完成する。詳細な説明は実施例1でもって十分に説明したので省略する。

【0072】また、本実施例ではPTFTを形成する領域のみをN型からP型に反転させる方式(カウンタードープ又はクロスドープとも呼ばれる)を採用しているが、実施例1に示した様にNTFTとPTFTとを別々に形成する方式もとれる。

【0073】〔実施例5〕実施例1ではTFTの活性層として結晶性半導体薄膜を利用しているが、非晶質半導体薄膜を用いる場合にも本願発明の構成を適用することは可能である。非晶質半導体薄膜を用いる逆スタガ型TFTではチャネルストップ型と呼ばれる構造が知られているが、その様な構造では活性層端部を $n^+ / p^+$ 導電層及び電極が乗り越えることになるので本願発明は非常に有効である。

【0074】〔実施例6〕本実施例では実施例1~5に示した構成のアクティブマトリクス基板を用いてアクティブマトリクス型LCDを構成した場合の例について説明する。ここで本実施例のアクティブマトリクス型LCDの外観を図5に示す。

【0075】図6(A)において、601はアクティブマトリクス基板であり、その上には本願発明のTFTに

(7)

特開平11-112002

12

よって画素マトリクス回路602、ソース駆動回路603、ゲイト駆動回路604が構成されている。また、605は対向基板である。

【0076】本実施例のアクティブマトリクス型LCDはアクティブマトリクス基板601と対向基板605とが端面を揃えて貼り合わされている。ただし、ある一部だけは対向基板605を取り除き、露出したアクティブマトリクス基板に対してFPC(フレキシブル・プリント・サーキット)606を接続してある。このFPC606によって外部信号を回路内部へと伝達する。

【0077】また、FPC606を取り付ける面を利用してICチップ607、608が取り付けられている。これらのICチップはビデオ信号の処理回路、タイミングパルス発生回路、補正回路、メモリ回路、演算回路など、様々な回路をシリコン基板上に形成して構成される。図6(A)では2個取り付けられているが、1個でも良いし、さらに複数個であっても良い。

【0078】また、図6(B)の様な構成もとりうる。図6(B)において図6(A)と同一の部分は同じ符号を付してある。ここでは図6(A)でICチップが行っていた信号処理を、同一基板上にTFTでもって形成されたロジック回路609によって行う例を示している。

【0079】この場合、ロジック回路609も駆動回路603、604と同様にCMOS回路を基本として構成され、本願発明を利用した逆スタガ型TFTで作製することが可能である。

【0080】また、本願発明を利用したTFTはアクティブマトリクス型LCDのスイッチング素子として以外にも、EL(エレクトロルミネッセンス)表示装置のスイッチング素子として利用することも可能である。また、イメージセンサ等の回路を本願発明のボトムゲイト型TFTで構成することもできる。

【0081】以上の様に、本願発明を利用したTFTでもって様々な電気光学装置を作製することが可能である。なお、本明細書中において電気光学装置とは、電気的信号を光学的信号に変換する装置またはその逆を行う装置と定義する。

【0082】また、本実施例のアクティブマトリクス型LCDを作製するにあたってブラックマトリクスは対向基板側に設けても良いし、アクティブマトリクス基板に設ける構成(BM on TFT)としても良い。

【0083】また、カラーフィルターを用いてカラー表示を行っても良いし、ECB(電界制御複屈折)モード、GH(ゲストホスト)モードなどで液晶を駆動し、カラーフィルターを用いない構成としても良い。

【0084】また、特開昭8-15686号公報に記載された技術の様に、マイクロレンズアレイを用いる構成にしても良い。

【0085】〔実施例7〕本実施例では、実施例6に示したアクティブマトリクス型LCDを作製するにあつ



て、液晶層を封入するためのシール材の配置について説明する。

【0086】シール材の配置としては、画素マトリクス回路のみを囲む構成、駆動回路と画素マトリクス回路とを囲む構成、など様々な構成が考えられる。また、駆動回路上にシール材を設けることで狭領域構造を実現することもできる。

【0087】シール材を駆動回路上に設ける場合、TFTとして公知のチャネルエッチ型のボトムゲイト構造を用いると、チャネル形成領域が直接的にフィラー（シール材に分散させるスペーサー）に圧迫され、TFTが壊れるといった問題が起こる。その点、本願発明のTFTはチャネル形成領域をシリコンを主成分する絶縁膜で保護しているのでその様な問題を生じない。

【0088】【実施例8】実施例6、7に示したアクティブマトリクス型LCDは、様々な電子機器のディスプレイとして利用される。なお、本実施例に挙げる電子機器とは、アクティブマトリクス型LCDに代表される電気光学装置を搭載した製品と定義する。

【0089】その様な電子機器としては、ビデオカメラ、ステルカメラ、プロジェクター、プロジェクションTV、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ（ノート型を含む）、携帯情報端末（モバイルコンピュータ、携帯電話等）などが挙げられる。それらの一例を図7に示す。

【0090】図7（A）は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明は表示装置2004等に適用することができる。

【0091】図7（B）はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明は表示装置2102に適用することができる。

【0092】図7（C）はモバイルコンピュータ（モバイルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は表示装置2205等に適用できる。

【0093】図7（D）はヘッドマウントディスプレイであり、本体2301、表示装置2302、バンド部2303で構成される。本発明は表示装置2302に適用することができる。

【0094】図7（E）はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403に適用することができる。

【0095】図7（F）はフロント型プロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本発明は表示装置2503に適用することができる。

【0096】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、他にも電光掲示板、宣伝広告用ディスプレイなどにも活用することができる。

10 【0097】

【発明の効果】本願発明を利用することで、生産性の高い製造工程でもってボトムゲイト型のTFTを作製することができる。その際、活性層の少なくともチャネル形成領域と端部とを覆う様にして形成される絶縁性シリコン膜が、以下の効果を果たしている。

（1）不純物の添加工程においてドーピングマスクとして機能する。

（2）活性層端部におけるソース/ドレイン電極の段切れを防止する。

20 （3）TFT（特にチャネル形成領域）を保護する。

【0098】そして、本願発明のTFTを用いてアクティブマトリクス型LCDに代表される電気光学装置を作製することで、安価な製品（電子機器）を実現することが可能である。

【図面の簡単な説明】

【図1】 本願発明を利用したTFTの構成を示す図。

【図2】 本願発明を利用したTFTの構成を示す図。

30 【図3】 本願発明を利用したTFTの製造工程を示す図。

【図4】 本願発明を利用しないTFTの構成を示す図。

【図5】 本願発明を利用したTFTの製造工程を示す図。

【図6】 アクティブマトリクス型LCDの構成を示す図。

【図7】 電子機器の構成を示す図。

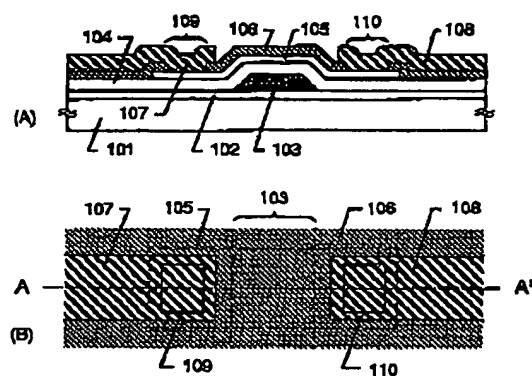
【符号の説明】

40 101 基板  
102 下地膜  
103 ゲイト電極  
104 ゲイト絶縁膜  
105 活性層  
106 絶縁性シリコン膜  
107 ソース電極  
108 ドレイン電極  
109、110 開口部

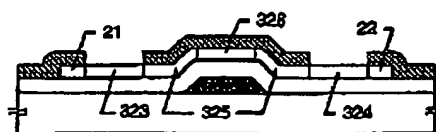
(9)

特開平11-112002

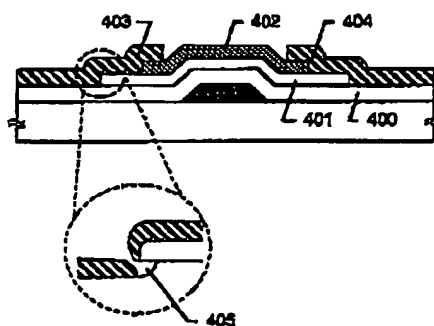
【図1】



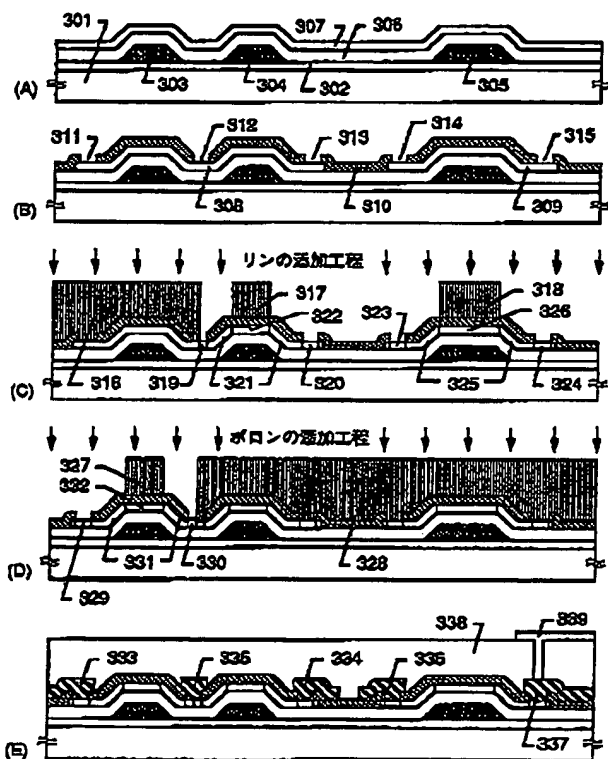
【図2】



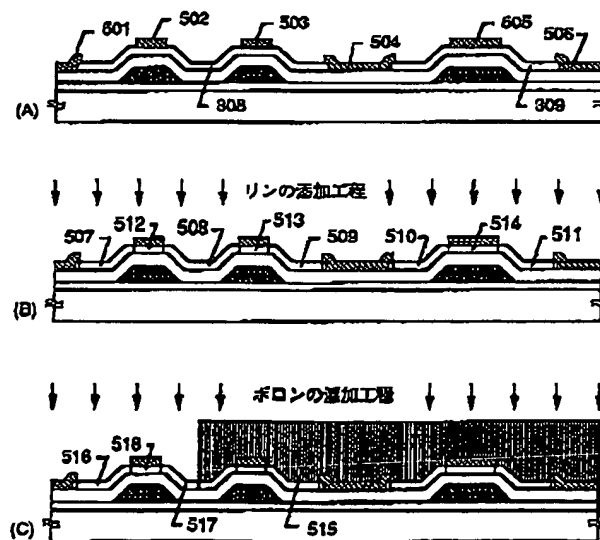
【図4】



【図3】



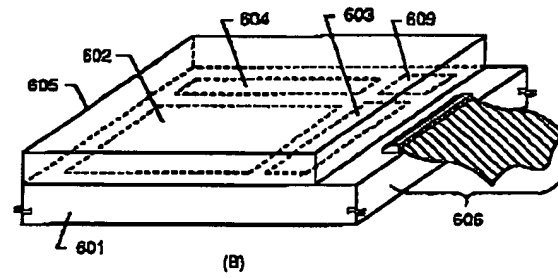
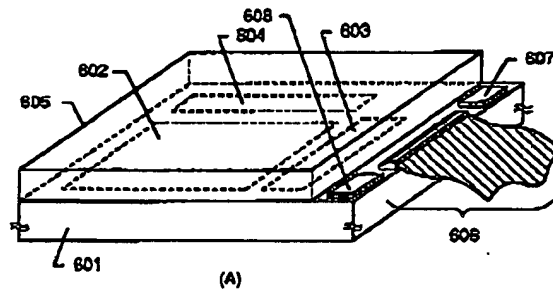
【図5】



(10)

特開平11-112002

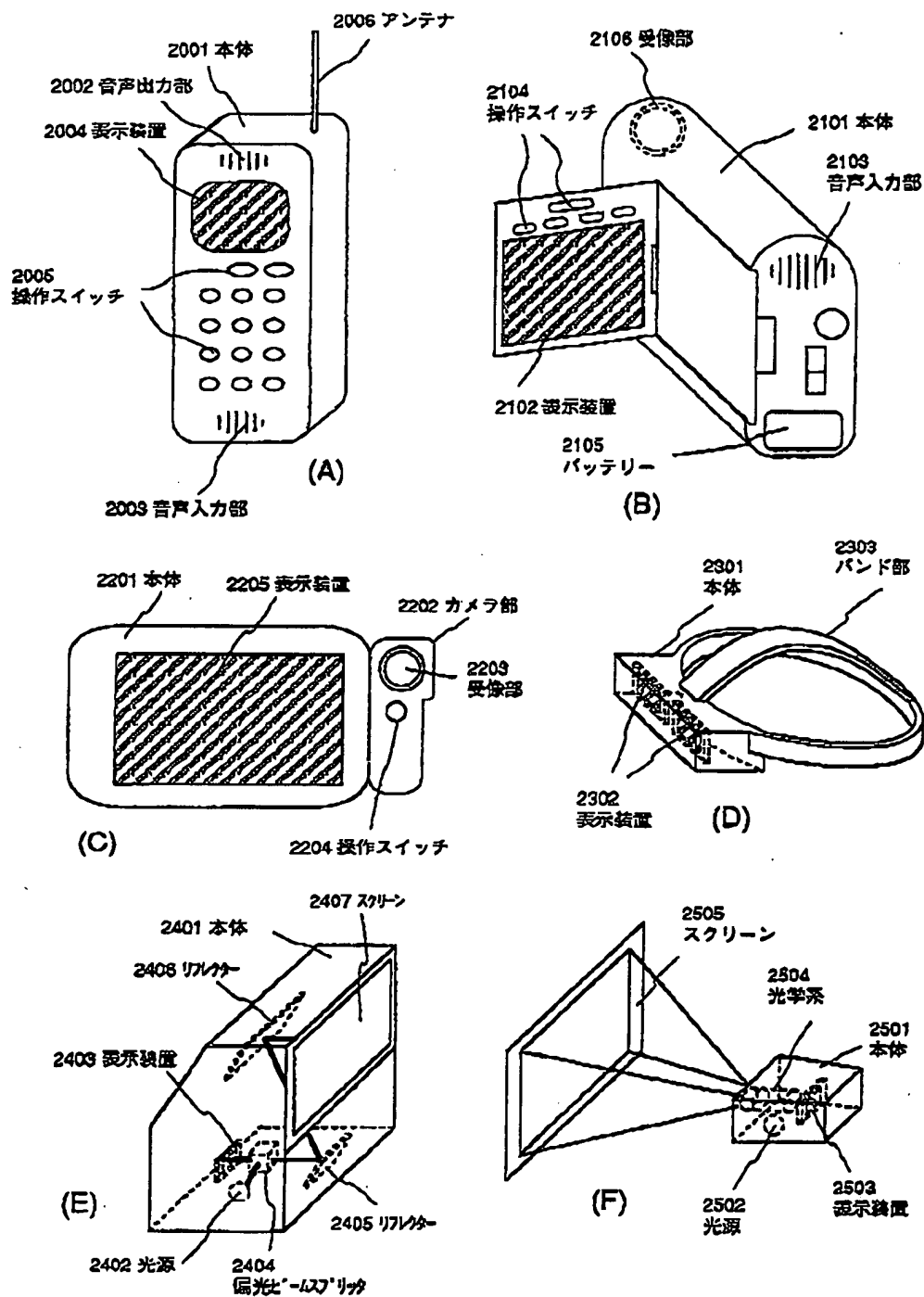
【図6】



(11)

特開平11-112002

【図7】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**